

Vervent Technologies 社製 TDX

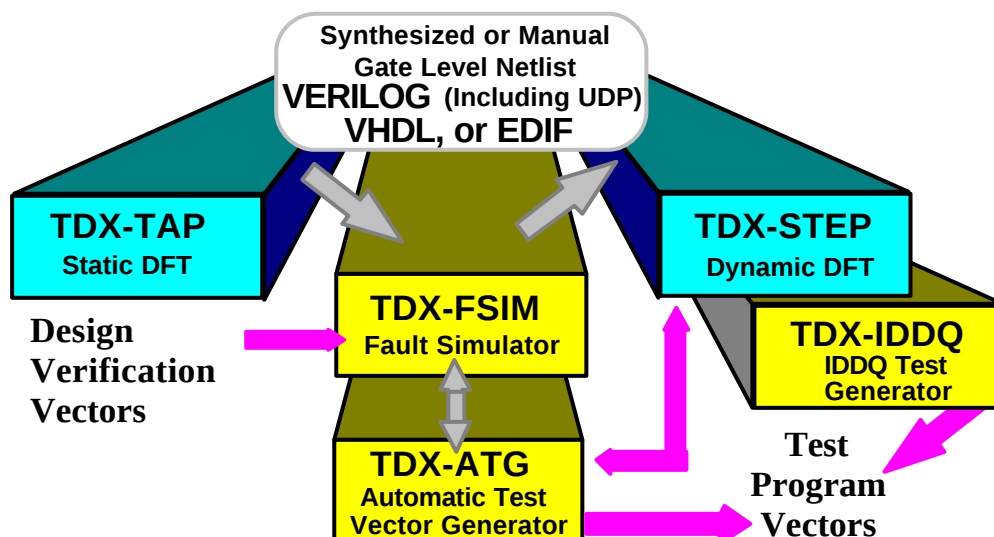
TDX は 1993 年に最先端のテスト容易化設計(Design For Test) プログラムの草分け的存在である ExperTest 社の創設者と製品開発者によって開発され、Attest 社によって引継がれました。その後いくつかの M&A を経て、TDX 製品は **Vervent Technologies, Inc.**に移管されました。

TDXは日本でも数多くの販売実績を誇ります。

製品	TDX-FSIM	超高速フォルトシミュレータ
	TDX-ATG	テストベクタ自動生成、シミュレータ
	TDX-STEP	ダイナミックテストタビリティ解析 / アドバイザ
	TDX-TAP	スタティックテストタビリティ解析 / アドバイザ
	TDX-IDDQ	IDDQ テスト生成 / シミュレータ
	TDX-NLVIEW	ネットリストアナライザ
	TDX-ScanMaker	自動スキャンインサクション
	TDX-FaultValidator	故障検出率向上化ツール

顧客	ARM	Atmel	Convex Computer
	Cypress DEC	富士通	日立製作所
	HP	Hyundai	National Semiconductor
	日本電気	Quantum Effect Design	Silicon Graphics
	TI	その他 (敬称略)	

プラットフォーム Sun Sparc/Ultra, HP 9000/700, DEC Alpha, Windows NT(ver.3.5 より)
(* NLVIEW は Sun, HP, Windows NT をサポート)



株式会社アイヴィス

〒240-0005 横浜市保土ヶ谷区神戸町 134 横浜ビジネスパーク イースター 11F
TEL:(045)332-5381(代) FAX:(045)332-5391 email: info@ i-vis.co.jp



TDX - FSIM 超高速フォルトシミュレータ

TDX-FSIM は広範囲な状態とタイミングセンシティブな回路のテストベクタを正確にグレードするフルタイミングフォルトシミュレータです。ロジックゲート、CMOS トランジスタ、トライステートバッファ、フリップフロップ、シングル/マルチポートRAM、複雑なバス、Verilog UDP を含む同期/非同期回路の設計をサポートしています。パーピンテスターによって見つけれられる特徴とディテイルドピンタイミングもサポートしています。

超高速フォルトシミュレータ

ハードウェアアクセラレータより高速

フォルトリストの分割/複数 CPU の SMP、ネットワーク上の EWS で分散処理 3 - 10 倍の能力を実現

Verilog,VHDL,EDIF,ネットリストサポートと正確なディレイモデリング

- ・全てのゲートレベルと OVI Ver.2.0 のユニディレクショナルプリミティブをサポート
- ・イベントドリブンアルゴリズム (21 のロジックステート、ライズ/フォールディレイ、ターンオン/オフディレイ、チャージストレージバスとワイヤー)
- ・全ての回路プリミティブの入出力ピン上では stuck at 0, stuck at 1 が検証
- ・正確な故障検出を維持するためにフォルトフリー回路に使われるフルセットのディレイと状態は全ての故障回路 (1 つの stuck at フォルトを含む回路) に使用

フォルトリストマネージメント、FSIM モード

- ・クリエイト、コラプス、フォルトリストの分割、故障検出結果のレポート、ベクタ数、回路モジュールやプリミティブタイプとピンによって結果をレポート
- ・バッチ、インタラクティブ、分割モードで動作

Mil-std-883, Procedure 5012 のカバレッジレポート準拠

- ・シミュレーションアルゴリズム、コラプシング、アイディテクタブル、(X)、ディテクション、等と ATE 上で使われているディテクションストローブウインドがフォルトシミュレータ とマッチすることを条件としている Mil-std-883 の Procedure 5012 (1983 年 9 月発行の IEEE D&T Magazine P.68-79) のカバレッジレポートの要求を全てカバー

ベクタフォーマット

- ・入力ベクタは ASCII、TDX-VTB オプションは Verilog test bench サポート
- ・出力ベクタは VCD (Verilog dump format), ASCII, JEDEC, 東芝 TSTL2, TSSI WGL

株式会社アイヴィス

〒240-0005 横浜市保土ヶ谷区神戸町 134 横浜ビジネスパーク イースター 11F

TEL:(045)332-5381(代) FAX:(045)332-5391 email: info@i-vis.co.jp



T D X - A T G テストベクタ自動生成

TDX-ATG はフルスキャン、パーシャルスキャン、ノンスキャン設計に使用できるゲートレベル、順序テストベクタ自動生成プログラムです。同期 / 非同期回路、RAM 内蔵回路、双方向ポート、複雑なバスなどのベクタを生成可能です。ユーザーがソフトウェアのコントロールを取って特定のフォルトに活性化を与えるために回路を望ましい内部状態に持ち込むインタラクティブモードをサポートしています。

アルゴリズムと Heuristic Based

- ・様々なアルゴリズムとヒュリスティックのネットリストを解析するために使用
- ・コンピネーション回路は PODEM か D アルゴリズムモードで動作
- ・スキャンベーステストの為のベクタ生成時に広範囲で使用
- ・スキャンベクタや順序回路モジュールを生成時にランダムベクタ生成モードを使用可能
- ・順序回路にはプロプリタリフォワードサーチングヒュリスティック、広範囲なバックトレース方法を使用、テストピリティ解析数はステートジャスティフィケーション / センシティゼーションのサーチ

TDX-FSIM との併用、ベクタフォーマット

- ・TDX-FSIM と併用でき FSIM 固有のベクタフォーマットとパーピン/ATE 能力を含む
- ・タイミングは双方向ピンを含む入出力ピンで強制でき、衝突を明確に分析しテスターによって入出力ピンがストロブ時に故障が明確になるになるベクタを生成
- ・ベクタが双方向ピンで衝突を起こした場合には生成したベクタを消去可能

T D X - S T E P、I D D Q との併用による効果

- ・順序回路で動作時は同期回路で動作、ゲートクロックを含む回路や非同期回路でも動作
- ・ネットリストをベースとする全てのテストパターン自動生成、DFT 促進による修正、複雑な順序を減らす為に設計された同期回路、同期回路に近い順序回路上で動作
- ・特許申請中の TDX-STEP 技術は順序回路の可制御性と可観測性の促進に効果
- ・ユーザーと TDX-STEP の両方から DFT 提案を受入
- ・テストポイントのための提案、及びフリップフロップはバーチャルインサート可能
- ・what if モードは最終的な DFT 改善が行われるまで全ての設計サイクルを往来可能

インタラクティブモード

- ・結果判断と ATG の結果に影響するような洞察力を与える
- ・パステストなどに使用する場合 TDX-ATG の結果改善に有効、テスト容易化設計の短縮

株式会社アイヴィス

〒240-0005 横浜市保土ヶ谷区神戸町 134 横浜ビジネスパーク イースター 11F
TEL:(045)332-5381(代) FAX:(045)332-5391 email: info@ i-vis.co.jp



TDX-STEP テスタビリティ解析アドバイザー

TDX-STEP はテスタビリティ解析とテストカバレッジ向上プログラムです。スタティックモードはトラディショナル SCOAP テスタビリティ解析数と様々なパストレーシング技術を使って問題領域を指摘します。ダイナミックモードは特定のベクタセットを適用した時におきる回路動作を解析します。どこでフォルトアクティビティを見つけられ、どこで故障影響のブロックをしているかを解析した後、適用するベクタがすばやく故障検出率を改善するように提案します。

スタティックテスタビリティ解析/TDX - TAP

- ・可制御性 / 可観測性問題を持つネットを確認する時にトポロジベース手法を使用
- ・複雑に順序する入力が必要とする小規模だが複雑な回路構成等を発見するのに有効

インタラクティブモード

- ・回路解析モードはインタラクティブで動作
可制御性 / 可観測性を持つネット、イニシャライズできないネット、出力ピンへのパスがないロジック、コンビネーションループ、アンドリブンネット、モノステーブル、クロスカップルラッチ、非同期リッブルロジックの等発見
- ・特定のフォワード/バックパスとフリップフロップクロックとデータパスをトレース可能
- ・DFT と別のテストコントロール入力とテストオブザーベーション出力とスキャンを特定

ダイナミックテスタビリティ解析/TDX-STEP、ルールチェック (what if モード)

- ・与えられたテストベクタセットのフォルトシミュレーション動作時に集められた故障影響ビジュビリティインフォメーションを使用し各フォルトフリー、フォルト回路の状態で収集、TPO リストに付け加えられる各ネットの為の検出率改善見積
- ・回路の TPO の付加は通常 1 ピンの付加要求、故障影響のプロパゲーションをブロックするロジックゲートは別のテストコントロール入力最適化要求
パーシャルスキャンチェーンに含まれるべきであるフリップフロップを明確化
- ・ブロックインフォメーションは実際に回路を制限するテストベクタを改善する方法で問題領域を明確にする為に使用、スキャンモディフィケーションの必要性を判断
フリップフロップがスキャンチェーンにより起こるスキャン設計ルール違反を発見
- ・フルレンジの回路プリミティブディレイや FSIM によってサポートされている状態などをサポート(同期回路、スキャン、ノンスキャン等)
- ・バーチャリーオートマテックな TPO オプションは 1 つの TPO を付け加える事によって見つけられない stack at フォルト数を最大で半減
- ・設計早期での DFT 付加が容易、仕様がシリコンになる前のテスト設計で最も効果

株式会社アイヴィス

〒240-0005 横浜市保土ヶ谷区神戸町 134 横浜ビジネスパーク 11F
TEL:(045)332-5381(代) FAX:(045)332-5391 email: info@i-vis.co.jp



TDX-IDDQ テスト生成 / フォルトシミュレータ

TDX-IDDQ は CMOS 回路の電流測定によってテストされるフォルトシミュレータです。電流モニタリング（通常は IDDQ カリーケージテストと呼ばれる）は殆どのトランジスタショートが IC のパワーサプライターミナルで見つけられる為、重要なテスト方法となってきました。この測定方法は結果的に全てのネットをテスト生成用の主要な出力にします。少量の電流測定は非常に高い故障検出率をもたらします。多くの回路では 10-50 の電流ストロブで 95%以上の起こり得る故障を見つけることができます。

自動ベクタセレクト

- ・ 高い IDDQ 故障検出率を得る為に電流測定を実施必要な特定のテストベクタを選択
- ・ フォルトフリー回路に過度電流が流れているかどうかの回路状態の完全なテストを実施
過度電流はバスのロジックパリュの矛盾、反対のパリュによる信号によって生じるブルアップ/ブルダウン、フローティングネットやバスにより押し進められる事によって発生
- ・ 測定のどのベクタが特定の状況に陥っているのかを明確に指示
特定のベクタ、ポイントでストロブ、選択ベクタに分配された検出率をレポート
インタラクティブにベクタをストロブリストに付加する事が可能

プログラマブルショートフォルトモデル

- ・ 完全にプログラム可能なトランジスタショートモデルをサポート
- ・ フォルトモデルは回路ブリミティブ、マクロセル、Verilog UDP、リッジングフォルト、特定のゲートやセルの選択に使用可能
- ・ フォルトモデルライブラリはトランジスタ毎に 6 つのショートを検出
- ・ QUIETEST ペーパー(ICCAD'90) Weiwei Mao, et al に記されているゲート、ソース、ドレイン、バルクターミナルの各トランジスタ内でコンピネーション可能なショートを含む、フォルトモデルは弱いトランスミッションゲートを詳細に示すために使用可能

TDX-FSIM、TDX-ATG との併用及び相互作用

- ・ stuck at 0/1、トランジスタショートカバレッジをレポートする為に FSIM と併用し回路中で起きる全てのオープン/エクセシブロバゲーションディレイによる故障を発見
- ・ 機能的にはテスト合格するエクセシブディレイ漏れによる故障寸前の IC を発見
- ・ ATG は存在するテストベクタと IDDQ を組合わせて見つけれなかった IDDQ フォルトの付加を生成するために有効的に使用
- ・ ATG をビルトインブリミティブとユーザーディファインマクロセル上で活性化を計る為に使用する事によって余分な電流が流れている事がテスト上で故障として目に見えるので活性化を与えているパリュはすぐに IDDQ ショートを発見可能

株式会社アイヴィス

〒240-0005 横浜市保土ヶ谷区神戸町 134 横浜ビジュアル・パーク イースター 11F
TEL:(045)332-5381(代) FAX:(045)332-5391 email: info@ i-vis.co.jp



TDX-NLVIEW スケマティック生成/ネットリストアナライザ

TDX-NLVIEW は EDIF 及び Verilog ネットリストからスケマティックを生成しグラフィカルに表示します。階層は生成されたスケマティック内に保持されます。論理合成ツールや他のネットリストプロセッシングツールによって生成された階層化されたネットリストデータをビジュアル化するのに使用できます。EDIF スケマティックファイルで定義されたスケマティックシンボルを生成します。固有のシンボルが利用できない時はデフォルトシンボルを生成します。

- ・ ネットリストからのスケマティック生成
- ・ EDIF2.0.0、Verilog ネットリストインターフェース
- ・ デザインをグラフィカルに観察、解析可能
- ・ デザイン階層の操作
- ・ フォルトシミュレーション結果、クリティカルパスのハイライト
- ・ ポストスクリプトファイルのプリントアウト
- ・ EDIF フォーマット内のスケマティックをセーブ

クリティカルパスの操作

クリティカルパスファイルがロードされる時、スクロールできるテキストウィンドウでパスが見えます。1つのライン上でダブルクリックして1つのパスを選択し、作動させます。パスを前後にトレースして、デザイン階層へと持っていくことができます。

ASCII ファイル表示

AFD(ASCII File Display)はスクロール可能なテキストウィンドウでネットリストファイルをロード表示します。AFD ウィンドウはどんな対象も包括的に選択、対象物をハイライトします。スケマティックにおいて包括的な選択、変更時は常に適切なファイルが AFD ウィンドウにハイライトされ、テキストファイルの状態へスクロールされます。

TDX-FSIM との互換性

FSIM Reporter によって作成されたファイルを表示、Reporter の出力ファイルを NLVIEW にロードし全てのフォルトを選択、スケマティックウィンドウ内の特定のフォルトへ進む等が可能です。Reporter ファイル内の低故障検出率のモジュールをハイライトできます。

株式会社アイヴィス

〒240-0005 横浜市保土ヶ谷区神戸町 134 横浜ビジネスパーク イースター 11F
TEL:(045)332-5381(代) FAX:(045)332-5391 email: info@ i-vis.co.jp



TDX-ScanMaker 自動スキャンインサクションツール

TDX - ScanMaker はスキャン回路を挿入することにより故障検出率を大幅に向上させるツールです。

TDX - ScanMaker は TDX-STEP (ダイナミックテストバリエーション解析ツール) で生成されたフル/パーシャルスキャン、マルチプルスキャンチェーン挿入データを基に TDX-STEP からの個々のアドバイスに従いスキャンチェーンを作成し-map_file によってスキャン回路を挿入し回路変換を行うプログラムです。複雑な順序回路を簡単な組み合わせ回路に変換します。TDX - ScanMaker はスキャンチェーンを含んでいる新しい Verilog ネットリストを生成します。また変換された Verilog ネットリストは TDX-FSIM フォルトシミュレータ、TDX-IDDQ で使用しシミュレーションを行うことができます。さらに TDX-ATG で使用しテストベクタを生成することができます。

コマンドファイル

コマンドファイルは TDX - ScanMaker と-map_file コマンドラインオプションで TDX-STEP を実行すると作成されます。TDX - ScanMaker はコマンドファイルに含まれたライン構文の 3 タイプを容認して、結果として生じたコマンドファイルを読み込みます。

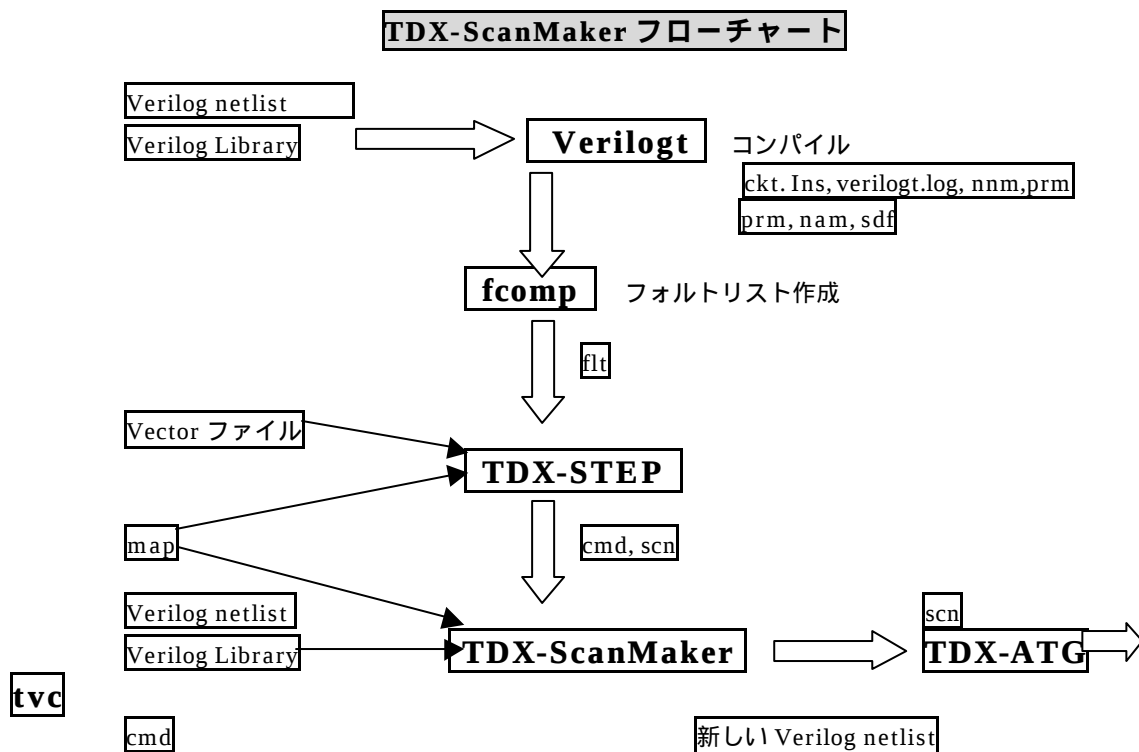
- ・ SCAN_CHAIN
- ・ SCAN_CHAIN_EL
- ・ REPAIR

map ファイル

マップファイルは修正目的の為にローカルネットプレフィクス、シリコンレベルセル、シリコンレベルフリップフロップ、ラッチ等の為にマッピングルールを定義します。

これは入力用に TDX - ScanMaker に必要であり、入力用に TDX-STEP に推薦されます。

TDX-STEP で使用されるときは、入力として TDX - ScanMaker に使用できるコマンドファイルを作成します



株式会社アイヴィス

〒240-0005 横浜市保土ヶ谷区神戸町 134 横浜ビジネスパーク イースター 11F
TEL:(045)332-5381(代) FAX:(045)332-5391 email: info@ i-vis.co.jp



TDX-FaultValidator 故障検出率向上化ツール

TDX-FaultValidator は ATE 上で低下する市販 ATPG/Scan ツールの故障検出率を正確、向上させ実デバイスの品質、イールドの向上を図ることによって大幅なコストダウンを実現します。

タイミングを考慮しない市販 ATPG/Scan ツールの故障検出率は正確ではなく、ATE 上のテストでは検出率が著しく下がります。この市販 ATPG/Scan ツールのデータを基にフルタイミング・フォルトシミュレーションを行うことによって問題を解決します。

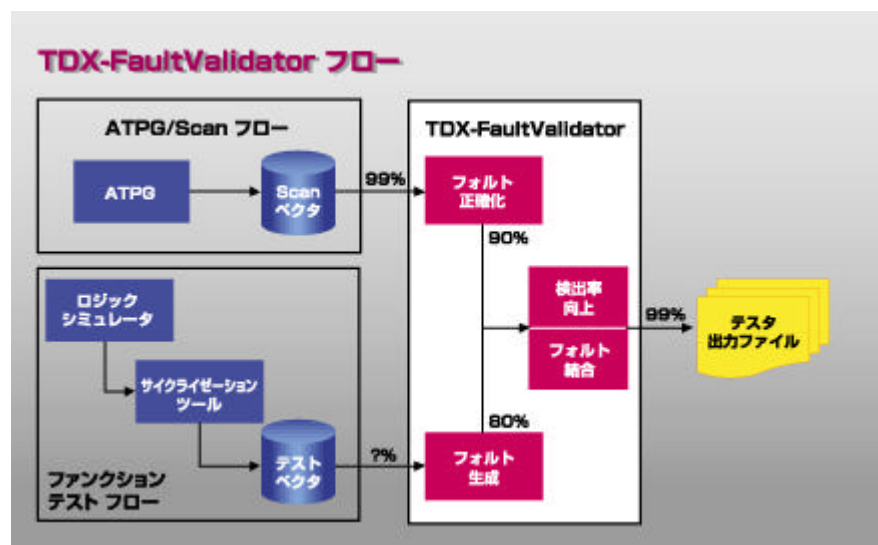
- ・ バックアノテーション可能な SDF によるフルタイミング・フォルトシミュレータ
- ・ フォルトリスト分割による複数 CPU 上での分散シミュレーション
- ・ TDS との統合が容易

約 80 種類のピンタイミングを含むパービン ATE をサポート

市販 ATPG/Scan ツールの WGL 出力を WDB 経由でスキャンベクタ、スキャンファイルをインターフェース
WDB 出力により検出率の正確化プロセスにおいてベクタ変換エラーを削除

- ・ TDX-IDDQ,ATG,STEP,TAP,ScanMaker との併用により一層の効果

* TDX-FaultValidator は TDX-FSIM, WaveMaster, TRC で構成されております。



株式会社アイヴィス

〒240-0005 横浜市保土ヶ谷区神戸町 134 横浜ビジネスパーク イースター 11F
TEL:(045)332-5381(代) FAX:(045)332-5391 email: info@i-vis.co.jp

