

## **TDX - FSIM 超高速フォルトシミュレータ**

TDX-FSIM は広範囲な状態とタイミングセンシティブな回路のテストベクタを正確にグレードするフルタイミングフォルトシミュレータです。ロジックゲート、CMOS トランジスタ、トライステートバッファ、フリップフロップ、シングル/マルチポートRAM、複雑なバス、Verilog UDP を含む同期/非同期回路の設計をサポートしています。パーピンテスターによって見つけられる特徴とディテイルドピンタイミングもサポートしています。

### **超高速フォルトシミュレータ**

ハードウェアアクセラレータより高速

フォルトリストの分割/複数 CPU の SMP、ネットワーク上の EWS で分散処理 3 - 10 倍の能力を実現

### **Verilog, VHDL, EDIF, ネットリストサポートと正確なディレイモデリング**

- ・全てのゲートレベルと OVI Ver.2.0 のユニディレクショナルプリミティブをサポート
- ・イベントドリブンアルゴリズム (21 のロジックステート、ライズ/フォールディレイ、ターンオン/オフディレイ、チャージストレージバスとワイヤー)
- ・全ての回路プリミティブの入出力ピン上では stuck at 0, stuck at 1 が検証
- ・正確な故障検出を維持するためにフォルトフリー回路に使われるフルセットのディレイと状態は全ての故障回路 (1 つの stuck at フォルトを含む回路) に使用

### **フォルトリストマネージメント、FSIM モード**

- ・クリエイト、コラプス、フォルトリストの分割、故障検出結果のレポート、ベクタ数、回路モジュールやプリミティブタイプとピンによって結果をレポート
- ・バッチ、インタラクティブ、分割モードで動作

### **Mil-std-883, Procedure 5012 のカバレッジレポート準拠**

- ・シミュレーションアルゴリズム、コラプシング、アイディテクタブル、(X)、ディテクション、等と ATE 上で使われているディテクションストローブウインドがフォルトシミュレータ とマッチすることを条件としている Mil-std-883 の Procedure 5012 (1983 年 9 月発行の IEEE D&T Magazine P.68-79) のカバレッジレポートの要求を全てカバー

### **ベクタフォーマット**

- ・入力ベクタは ASCII、TDX-VTB オプションは Verilog test bench サポート
- ・出力ベクタは VCD (Verilog dump format), ASCII, JEDEC, 東芝 TSTL2, TSSI WGL

---

## **株式会社アイヴィス**

〒240-0005 横浜市保土ヶ谷区神戸町 134 横浜ビジネスパーク イー・ストア 11F  
TEL:(045)332-5381(代) FAX:(045)332-5391 email: info@i-vis.co.jp

